

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-076654
(43)Date of publication of application : 22.03.1996

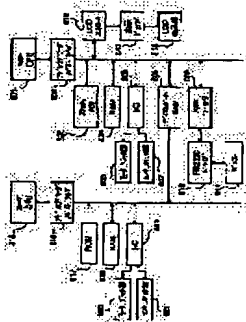
(51)Int.Cl.
G03G 21/00
G03G 21/00

(21)Application number : 06-230719 (71)Applicant : CANON INC
(22)Date of filing : 31.08.1994 (72)Inventor : TAWARA HISATSUGU
NISHIKATA AKINOBU
SUZUKI YOSHIHIKO
TASHIRO HIROHIKO
KOU SHIYOUKIYOU

(54) COPYING DEVICE

(57)Abstract:
PURPOSE: To safely down-load a control program while avoiding the waste of power in the case of realizing multiple functions.

CONSTITUTION: In the case a rewriting flag showing down-loading the control program concerning an additional function for allowing a master CPU 801 to instruct a slave CPU 815 to a flash memory 803 is in an on-state, the slave CPU 815 sets the output port of an I/O interface 819 on a slave side so that the load of a motor, a clutch and the like, a sensor, and a switch and the like controlled by the slave CPU 815 may be in an off-state, thereby making the loads in a nonconductive state.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2000 Japanese Patent Office

特開平 8-76654

(4) 公開日 平成 8 年 (1996) 3 月 22 日

(51) Int. Cl.
G 03 G 11/00
3 9 8
3 9 6

F I

庁内整理番号

3 9 8

3 9 6

技術表示箇所

審査請求 未請求 請求項の数 3

F D

(全 6 頁)

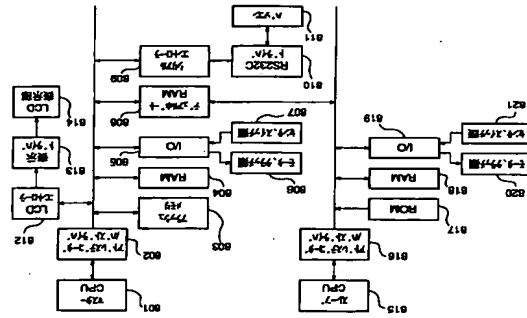
(11) 出願番号	特願平 8-210711	(11) 出願人	000001007 キャノン株式会社 東京都大田区下丸子 3 丁目 10 番 1 号 田原 久嗣 東京都市大田区下丸子 3 丁目 10 番 1 号 キャノ ン株式会社内 (12) 発明者 西方 彰徳 東京都市大田区下丸子 3 丁目 10 番 1 号 キャノ ン株式会社内 (12) 発明者 鈴木 嘉彦 東京都市大田区下丸子 3 丁目 10 番 1 号 キャノ ン株式会社内 (12) 代理人 井理士 渡部 敬彦 最終頁に続く
(12) 出願日	平成 8 年 (1994) 4 月 31 日		

(54) 【発明の名称】 複写装置

(57) 【要約】 (修正有)

【目的】 多機能化を行うに当たって安全に、かつ電力の無駄使いを回避しつつ複写プログラムをダウンロードできるようにする。

【構成】 スレープ CPU は、スレープ CPU に対してマスター CPU が指示するための追加機能に係る制御プログラムをフラッシュメモリ 803 にダウンロードして、スレープ側の I/O インターフェースの出力ポートを、スレープ CPU により制御されるモータ、クラッチ類、センサ、スイッチ類等の負荷がオフ状態となるように設定することにより、前記負荷を非通電状態にする。



【特許請求の範囲】

【請求項 1】 複写動作を制御する第 1 の制御プログラムを格納する電気的に書換え可能な記憶手段と、前記記憶手段に記憶された第 1 の制御プログラムに従って複写動作を制御する第 1 の制御手段と、外部装置から前記記憶手段にデータを転送するためのインターフェース手段と、前記第 1 の制御手段とは別に、第 2 の制御プログラムに従って複写動作を行う第 2 の制御手段とを有する複写装置において、

前記インターフェース手段を介して外部装置から前記記憶手段へデータ転送を行っている間、前記第 2 の制御手段により制御される負荷への電源供給を停止する停止手段を設けたことを特徴とする複写装置。

【請求項 2】 前記停止手段は、前記第 1 の制御手段が前記第 1 の制御プログラムにより管理するステータス情報を前記第 2 の制御手段が前記第 2 の制御プログラムにより監視することにより前記負荷への電源供給を停止するように構成されたことを特徴とする請求項 1 記載の複写装置。

【請求項 3】 前記停止手段は、前記第 1 の制御手段が前記第 2 の制御手段にリセット状態にすることにより前記負荷への電源供給を停止するように構成されたことを特徴とする請求項 1 記載の複写装置。

【発明の詳細な説明】

【0001】
【産業上の利用分野】 本発明は、複写装置に関し、特に、多機能化を行うのに好適な複写装置に関する。

【0002】

【従来の技術】 近年、複写装置の多機能化が進んでおり、後処理装置等をオプションとして後で追加したり、システムを拡張してファクシミリ機能、プリント機能を追加したい場合がある。また、複写装置の多機能化に伴って制御プログラムの不具合部分を変更したい場合がある。なお、このような多機能化を行う場合、一般に、追加すべき機能に対応する制御プログラムを直接実行する専用の CPU (スレープ CPU) を新たに設け、スレープ CPU は、最初から存在する CPU (マスター CPU) の指示に従ってファクシミリ機能等の追加に係る負荷を制御するように構成される。

【0003】 そこで、従来、マスター CPU 用の制御プログラムを記憶する記憶手段として、電気的に書換え可能な記憶手段を備え、追加すべき機能の実行をスレープ CPU に指示する制御プログラムを上記記憶手段可能な記憶手段に対してダウンロードするようにした複写装置が実現されている。

【0004】

【発明が解決しようとする課題】 しかし、追加すべき機能に対応する制御プログラムを直接実行しないマスター CPU は、追加すべき機能の実行をスレープ CPU に指示する制御プログラムを上記記憶手段可能な記憶手段に

してダウンロードしている間も通常の制御動作を行っているため、追加に係る機能に対応する負荷が通電されることも考えられ、操作者にとって安全な状態にあるとは言えず、また、電力の無駄使いになるという問題があった。

【0005】 本発明は、このような背景の下になされたもので、その目的は、多機能化を行うに当たって安全に、かつ電力の無駄使いを回避しつつ制御プログラムをダウンロードできるようにすることにある。

【0006】

【課題を解決するための手段】 上記目的を達成するため、請求項 1 記載の発明は、複写動作を制御する第 1 の制御プログラムを格納する電気的に書換え可能な記憶手段と、前記記憶手段に記憶された第 1 の制御プログラムに従って複写動作を制御する第 1 の制御手段と、外部装置から前記記憶手段にデータを転送するためのインターフェース手段と、前記第 1 の制御手段とは別に、第 2 の制御プログラムに従って複写動作を行う第 2 の制御手段とを有する複写装置において、前記インターフェース手段を介して外部装置から前記記憶手段へデータ転送を行っている間、前記第 2 の制御手段により制御される負荷への電源供給を停止する停止手段を設けている。

【0007】 上記目的を達成するため、請求項 2 記載の発明では、請求項 1 における前記停止手段は、前記第 1 の制御手段が前記第 1 の制御プログラムにより管理するステータス情報を前記第 2 の制御手段が前記第 2 の制御プログラムにより監視することにより前記負荷への電源供給を停止するように構成されている。

【0008】 上記目的を達成するため、請求項 3 記載の発明では、請求項 1 における前記停止手段は、前記第 1 の制御手段が前記第 2 の制御手段にリセット状態にすることにより前記負荷への電源供給を停止するように構成されている。

【0009】

【作用】 請求項 1 記載の発明では、前記停止手段は、多機能化を図るべく前記インターフェース手段を介して外部装置から前記記憶手段へデータ転送 (多機能化に係る制御プログラムの転送) を行っている間、前記第 2 の制御手段により制御される負荷への電源供給を停止することにより、安全に、かつ電力の無駄使いを回避しつつ制御プログラムをダウンロードできるようにする。

【0010】 請求項 2 記載の発明では、請求項 1 における前記停止手段は、前記第 1 の制御手段が前記第 1 の制御プログラムにより管理するステータス情報を前記第 2 の制御手段が前記第 2 の制御プログラムにより監視することにより、安全に、かつ電力の無駄使いを回避しつつ制御プログラムをダウンロードできるようにする。

【0011】 請求項 3 記載の発明では、請求項 1 にお

る前記停止手段は、前記第1の制御手段が前記第2の制御手段がリセット状態にすることにより前記負荷への電圧供給を停止するように動作することにより、多機能化を行うに当たって安全に、かつ電力の無駄使いを回避しつつ制御プログラムをダウンロードできるようにする。

【0012】
【実施例】以下、本発明の実施例を図面を参照しながら説明する。

【0013】【第1実施例】図1は、本発明の第1実施例による複写装置の電気的な接続構成を示すブロック図である。

【0014】図1において、801は複写装置全体の制御を行うマスターCPUであり、このマスターCPU801は、複写装置全体の制御手順（制御プログラム）を記憶した電気的に書換え可能なフラッシュメモリ803から制御プログラムを順次読取って実行する。なお、マスターCPU801のアドレスバス、データバスは、アドレスデコーダ/バスドライバ回路802を介して後述する各負荷に接続されている。

【0015】804は入力データの記憶領域、作業用記憶領域として利用される主記憶装置としてのRAMである。805はI/Oインターフェースであり、マスターCPU801により制御されるモータ・クラッチ類806、センサ・スイッチ類807等の負荷に接続されている。808はデュアルポートRAMであり、スレーブCPU815とパラレルデータにより通信するために利用される。809はシリアルコントローラであり、外部装置とシリアル通信を行うためにRS232Cドライバを介してパソコン811等の外部装置と接続されている。812はLCDコントローラであり、表示手段を表示ドライバ813を介してLCD表示部814に表示させる。

【0016】スレーブCPU815は、マスターCPU801の指示をデュアルポートRAM808を介して受け、後述するその他の負荷の制御を行う。この制御は、ROM817に記憶された制御プログラムを順次読出して実行する。なお、スレーブCPU815のアドレスバス、データバスは、アドレスデコーダ/バスドライバ回路816を介して上記その他の負荷に接続されている。【0017】818は入力データの記憶領域、作業用記憶領域として利用される主記憶装置としてのRAMである。819はI/Oインターフェースであり、スレーブCPU815により制御されるモータ・クラッチ類820、センサ・スイッチ類821等の負荷に接続されている。

【0018】図2は、本発明の実施例による複写装置の機能的な構成の概観を示す構成図である。図2において、100は複写装置本体、200は原稿の自動給送を行う循環式自動原稿送り装置（以下、RDFという）、300は排出口原稿を仕分けるソータ、400は自動コン

133を通じて転写紙を感光体ドラム105側に給紙する給紙ローラである。

【0024】134は排紙フラップ1127の近傍に配置されて、排紙フラップ1127により排出口に経路が切換えられて導かれた転写紙を外部に排出する排出口ローラである。画面記録や多重記録時には、排紙フラップ1127を上方に上げて、複写済みの転写紙を搬送バス129、128を介して搬送し、再給紙トレイ130に格納する。このとき、多重フラップ1131は、画面記録時には右方向に倒し、多重記録時には左方向に倒しておく。

【0025】再給紙トレイ130に格納された記録紙は、給紙ローラ132により、下から1枚ずつ経路133を介して本体100のレジストローラ120に導かれる。本体100から転写紙を反転して排出する時には、排紙フラップ1127を上方に上げ、多重フラップ1131を右方向に倒し、複写済みの転写紙を搬送バス129側へ搬送し、転写紙の後端が第1の送りローラ140を通過した後反転ローラ142によって第2の送りローラ側へ搬送し、排出口ローラ134によって、転写紙を裏返し外部に排出する。

【0026】次に、本実施例に特有な動作を図3、図4に基づいて説明する。図3はマスターCPU801の動作を示すフローチャートであり、マスターCPU801は、フラッシュメモリ803に記憶された制御プログラムに依って以下のような制御を行う。

【0027】すなわち、マスターCPU801は、通常は、図2により説明した上記のような複写動作を制御している（ステップS301）。そして、フラッシュメモリ803の記憶内容を転写するために、パソコン811の操作部等からID番号が入力されたか否かを判別する（ステップS302）。その結果、ID番号が入力されないときは、ステップS301に戻って通常の複写動作を制御する。一方、ID番号が入力されたときは、その入力に係るID番号がRAM804に登録されているID番号と一致するか否かを判別し（ステップS303）、ID番号が一致しないときは、ステップS301に戻って通常の複写動作を制御する。

【0028】ID番号が一致したときは、フラッシュメモリ803が複写動作中である旨を示すステータス情報としての複写フラグをオンする（ステップS304）。なお、複写フラグは、デュアルポートRAM808の所定エリアに形成されている。次に、消去プログラムを実行する（ステップS305）。この消去処理は、フラッシュメモリ803に消去コマンドを書込むことにより行う。

【0029】複写対象領域の消去が終了すると、パソコン811等の外部装置に対してデータ転送要求を行う。例えば外部装置のフロッピーディスクに格納されているデータ、すなわち、スレーブCPU815に対してマスターCPU801が指示するための制御プログラム

が転送されてきたときは、その転送データ（制御プログラム）を順次フラッシュメモリ803に書込む（ステップS306）。この書込みは、フラッシュメモリ803に書込コマンドを書込むことにより行う。次に、データ転送が完了してフラッシュメモリ803への書込みが終了したか否かを判別し（ステップS307）、書込みが終了していなければ、ステップS306に戻って転送データの書込みを続行する。書込みが終了したときは、複写フラグをオフして（ステップS308）、ステップS301に戻り、通常の複写動作を制御する。

【0030】図4は、スレーブCPU815の動作を示すフローチャートであり、スレーブCPU815は、ROM817に記憶された制御プログラムに従って、複写フラグがオン状態であるか否かを判別する（ステップS401）。その結果、複写フラグがオン状態でない場合は、マスターCPU801の指示に基づく通常の動作の制御を行って（ステップS402）、ステップS401に戻る。

【0031】一方、複写フラグがオン状態であれば、I/Oインターフェース819の出力ポートを、モータ、クラッチ類820、センサ、スイッチ類821等の負荷がオフ状態となるようにセットして（ステップS403）、ステップS401に戻る。このようにスレーブCPU815が動作することにより、フラッシュメモリ803の書換中、すなわちスレーブCPU815に対してマスターCPU801が指示するための追加機能に係る制御プログラムを、フラッシュメモリ803にダウンロードしている間は、スレーブCPU815により制御される負荷を非通電状態にすることが可能となる。

【0032】【第2実施例】図5は、図1におけるシステメリセット系の構成を示すブロック図であり、図1と同一の構成要素には同一の符号が付けられている。すなわち、801は複写装置全体の制御を行うマスターCPU、805はマスター側のI/Oインターフェース、815はデュアルポート808を介してマスターCPU801の指示を受け、スレーブ側のモータ、クラッチ類820、センサ、スイッチ類821等の負荷を制御するスレーブCPUである。

【0033】822はシステメリセット信号RSTを発生するリセット回路であり、+5V電源の投入時やシステムの異常によりウォッチドッグバルスが途絶えた時などに、システメリセット信号RSTを発生する。823はANDゲートである。システメリセット信号RSTは、マスターCPU801のリセット入力端子、およびANDゲート823に入力される。このANDゲート823には、マスター側のI/Oインターフェース805の出力信号も入力される。

【0034】スレーブCPU815のリセット入力端子には、ANDゲート823の出力信号が入力される。このように構成により、スレーブCPU815は、通常の

リセット以外に、マスターCPU801からの出力信号で強制的にリセット状態に移行することができる。

【0035】従って、マスターCPU801は、フラッシュメモリ803の書き換え動作中に、ANDゲート823の出力信号を“L”レベルにしてスレーブCPU815の出力信号を“L”レベルにしてスレーブCPU815をリセット状態にすることにより、スレーブCPU815により制御される負荷を非通電状態にすることができる。

【0036】

【発明の効果】以上詳細に説明したように、本発明によれば、書き換え動作を制御する第1の制御プログラムを格納する電気的に書換え可能な記憶手段と、前記記憶手段に記憶された第1の制御プログラムに従って書き換え動作を制御する第1の制御手段と、外部装置から前記記憶手段にデータを転送するためのインターフェース手段と、前記第1の制御手段とは別に、第2の制御プログラムに従って書き換え動作を行う第2の制御手段とを有する書き換え装置において、前記インターフェース手段を介して外部装置から前記記憶手段へデータ転送を行っている間、前記第2の制御手段により制御される負荷への電源供給を停止する停止手段を設けたので、多機能化を行うに当たって安全に、かつ電力の無駄使いを回避しつつ制御プログラムをダウンロードできるようになる。

【図面の簡単な説明】

【図1】本発明の第1実施例による書き換え装置の電気的な接続構成を示すブロック図である。

【図2】本発明の書き換え装置による書き換え装置の機械的な構成の概略を示す構成図である。

【図3】本発明の第1実施例におけるマスターCPUの動作を示すフローチャートである。

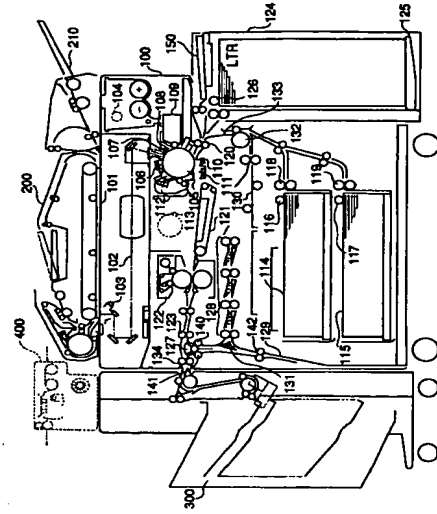
【図4】本発明の第1実施例におけるスレーブCPUの動作を示すフローチャートである。

【図5】本発明の第2実施例におけるシステムリセット系の構成を示すブロック図である。

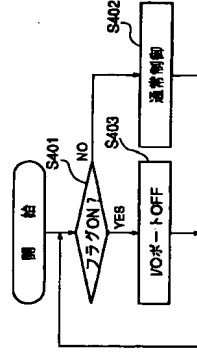
【符号の説明】

- 801...マスターCPU
- 803...フラッシュメモリ
- 808...デュアルポートRAM
- 809...シリアルコントローラ
- 810...RS232Cドライバ
- 811...パソコン
- 815...スレーブCPU
- 819...I/Oインターフェース
- 820...モータ、クラッチ類
- 821...センサ、スイッチ類

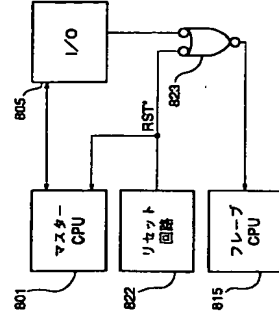
【図2】



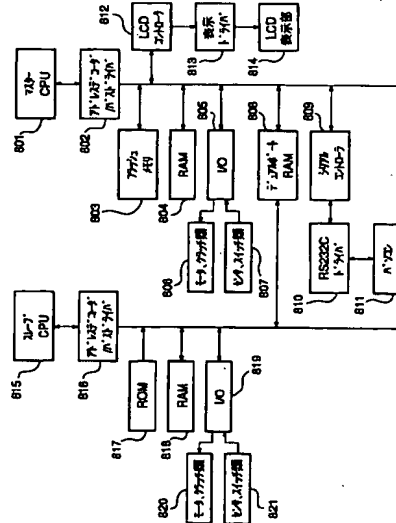
【図4】



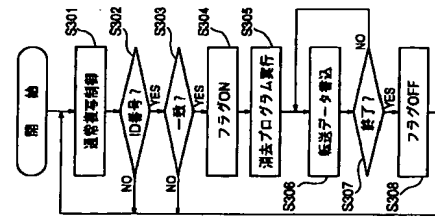
【図5】



【図1】



【図3】



フロントページの続き

(71)発明者 田代 浩彦
東京都大田区下丸子3丁目31番2号 キヤ
ノン株式会社内

(71)発明者 貴 松強
東京都大田区下丸子3丁目31番2号 キヤ
ノン株式会社内